

# ハードウェアエンジニア必読



## マルチ DSP ボードの JTAG 回路周りの設計手法 これを守らないとデバッガが起動できないかも!

Engineer To Engineer Note

EE-68

Notes on using Analog Devices' DSP's, audio, & video components from the DSP Division  
Phone:(800) ANALOG, FAX (781) 461-3010, EMAIL: [dsp.Support@analog.com](mailto:dsp.Support@analog.com)

### アナログデバイス JTAG エミュレーション技術参考資料(2.0)

Larry D'Addario 著

ロイノス 杉山治彦訳

White Mountain DSP 社 Analog Devices Inc.(ADI)ファミリー用のエミュレータは、ハードウェアやソフトウェアをテストあるいはデバッグしようとするすべての DSP 開発者に必要なツールです。JTAG DSP には IEEE 1149.1 JTAG テストアクセスポート(TAP)が備わっています。エミュレータは DSP の内部にアクセスするのに TAP を使用します。それによって、開発者はコードをロードしたり、ブレークポイントをセットしたり、変数やメモリーを観測、レジスタを調査したりできます。データやコマンドを送る時には DSP はホルトしていなければなりません。しかし、いったんエミュレータによって処理が完結されれば、DSP システムはシステムのタイミングに何の影響も扱えることなく、フルスピードで実行をします。

新しく設計したハードウェアの設計をテストする時、最後に開発者が行いたいのはターゲットボードのエミュレーションポートをデバッグすることです。ほとんどの場合、エミュレーションポートは新しいターゲットボードをテストする唯一のアクセス手段ですからエミュレーションポートは完全に動作しなくてはなりません。このアプリケーションノートは ADI JTAG DSP と、開発された DSP ターゲットボード上のエミュレーションヘッダーのインターフェイスの設計方法を説明しています。説明にあたって、例と使用する環境は ADI の SHARC DSP です。とはいえの情報は ADI のすべての JTAG DSP に適用できます。このアプリケーションノートで述べるガイドラインは JTAG エミュレーションポートで起こり得る問題を回避できる様にと考えられたものです。

### ターゲットボードコネクタ

ADI JTAG DSP のエミュレータインターフェイスは図 1 に示される様な 14 ピンのヘッダーです。お客様がお作りになるターゲットボードには、エミュレータとの通信ができる様に、このヘッダーを設置しなくてはなりません。ヘッダーポストは、0.64mm 角、間隔が 2.54mm でポストの長さは 0.6mm 以上として下さい。3 番ピンはポッドが反対向きに挿入されるのを防ぐ為のキーです。ターゲット側のこのピンは切り取っておいて下さい。

また、ヘッダーの回りのクリアランス(長さおよび幅、高さ)はよく考慮しておかなければなりません。ヘッダーの回りの長手方向は 0.38mm、横方向は 0.25mm はあけておいて下さい。そして、高さ方向はポッドのコネクタがつけたり外したりできるようにしておいて下さい。コネクタの詳細な図は付録をご覧ください。

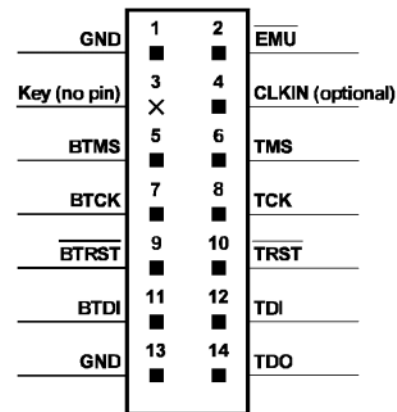


図 1. ADI JTAG DSP 用エミュレータインターフェイス

図 1 を見てわかる様に、ヘッダーには二つの信号のグループがあります。(エミュレータを通して)エミュレーションの目的で使用される TMS と TCK、TDI、TDO、TRST ~ EMU ~ という標準の JTAG 信号があります。また、(バウンダリスキャンの)ボード

レベルのテストでオプションとして使用される BTMS と BTCK、BTDI、BTRST~ の第 2 次的な JTAG 信号があります。“B” のついた信号はボード上でバウンダリースキャンコントローラーが使用される時にはこちらにつながる事になります。ほとんどのお客様は“B”グループの信号は使用しないでしょう。使用しない場合は、図 2 の様にすべてをグランドに接続しておいて下さい。

**補足:**古いシリコンのものでは、その文献の中で、4.7k の抵抗をとおして VCC(+5 または +3.3V,+2.5V)にプルアップする様に書いてあるものがあります。信号をグランドに接続するというの一般的なで、すべてのシリコンに対して正常に働きます。

エミュレータがこのヘッダーに接続されていない時は、BTMS と BTCK、BTRST~、BTDI には図 2 に示す様なジャンパーをつけておいて下さい。こうすると、すべての状態が DSP が正常に実行できる様に維持されます。JTAG ヘッダーにエミュレータを接続する際には、すべてのジャンパーを取り除いて下さい。

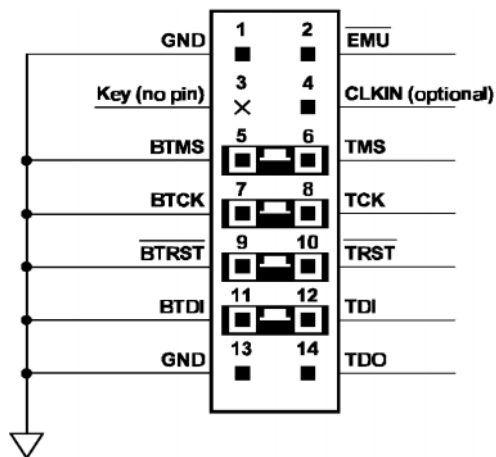


図 2. バウンダリスキャンをしないときの JTAG ターゲットボードコネクタ

標準の JTAG 信号の状態を次の表に示します。

表 1. JTAG 信号の標準状態

Signal	Description	Emulator	DSP
TMS	Test Mode Select	O	I
TCK	Test Clock (10 MHz)	O	I
TRST~	Test Reset	O	I
TDI	Test Data In	O	I
TDO	Test Data Out	I	O
EMU~	Emulation Pin	I	O (Open Drain)
CLKIN	DSP Clock Input	NU	I

O = Output, I = Input, NU = Not Used

CLKIN 信号はエミュレータでは使用されていませんし、もし JTAG ヘッダーに接続するとノイズが発生して問題がおこるかも知れません。この信号は 14pin JTAG ヘッダーのところでグランドに接続しておいた方が良いでしょう。(JTAG ヘッダーピンと DSP の CLKIN 信号を接続しないで下さい。)もし、すでに CLKIN を JTAG ヘッダーピンに接続してしまっていて、この信号からのノイズに悩まされていたなら、このピンを 14 ピン JTAG ヘッダーから取り除いて下さい。

CLKIN 信号は (通常 30MHz 以上の) クロック信号線で、同期化が必要なマルチ DSP システムではすべての DSP と発振器がつながっています。DSP をうまく同期させて働かせるには、DSP に渡す CLKIN 信号は同じ信号でなければなりませんし、それらの間のスキューは (クロックドライバーを使うなどして) 最小にしなければなりません。CLKIN に関する詳細は DSP ユーザーズガイドをご覧ください。すべての DSP がこれと接続されていなければなりません、JTAG ヘッダーには接続しないで下さい。

単一の DSP ターゲットとエミュレーションヘッダーの間(15cm 以内にして下さい)の接続を図 3 に示します。

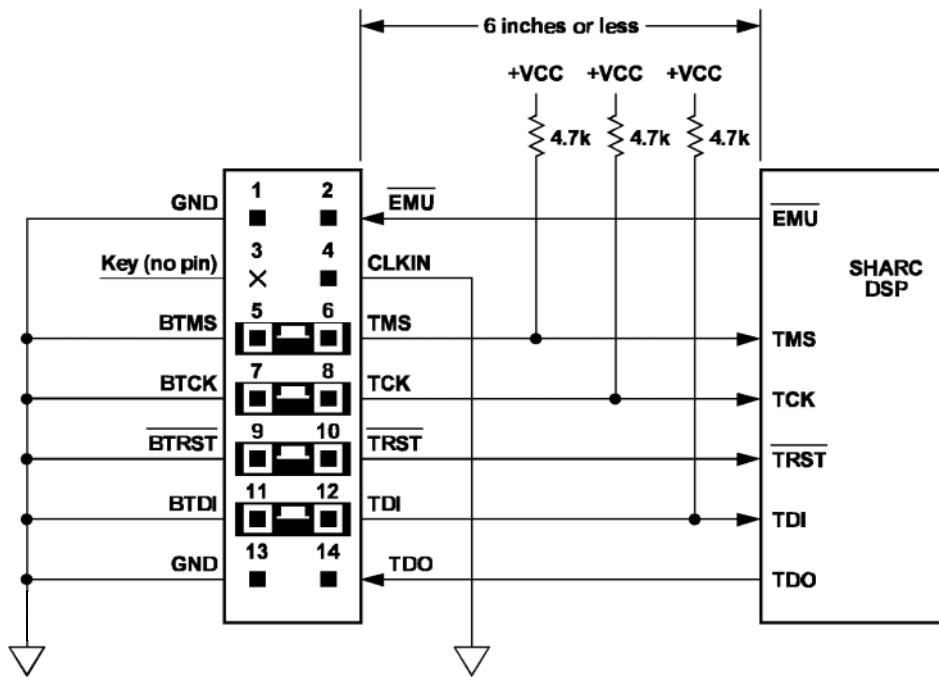


図 3. 単一 DSP の JTAG ヘッダーへの接続

4.7k のプルアップ抵抗を TCK、TDI、TMS に接続してノイズに対する耐性を持たせて下さい。

JTAG スキャンチェーン中に 2 つ以上の DSP (あるいはその他の JTAG デバイス) があつたり、DSP と JTAG ヘッダーの距離が 15cm 以上だったりした場合には図 4 (ローカルなバウンダリスキャンモードの事は書いてありませんが) のバッファリングされた接続回路を使用して下さい。信号のスキューを最小とする為、バッファとして使用する IC はただ一つだけ使って下さい。(普通の IC は 6 とか 8 あるいは 16 回路入っているはずですから) 74ABT244 ファミリーのように、内部に抵抗の入っているものは JTAG 信号線のリングングを低減させるのに役に立ちます。低電圧 (3.3V とか 2.5V、1.8V I/O) のアプリケーションでは、74ALVT や 74AVC ロジックファミリーを使うのが無難です。また、EMU ~ のラインにプルアップ抵抗を取り付ける様にして下さい。EMU ~ ラインはオープンドレインの信号ですから。

**重要:** ターゲットボードの (スキャン中) に 2 個以上の DSP あるいはその他の JTAG デバイスがあるときには、できるだけ JTAG ヘッダーにバッファを取り付けてください。これで信号の品質を守り、

線路長が長くなる事により発生するノイズの問題を回避します。(最終的には、エミュレータを安定して動作させる事につながります。)

(ソフトウェア的な観点から) 理論的には一つの JTAG スキャンチェーン中に接続できるデバイスの個数は (50 個以上と) 非常に大きくなりますが、実際には一つのスキャンチェーンに 8 個以上のデバイスをつなげる事はおすすめできません。(実際のチップには、マルチチップモジュールの様に複数の JTAG デバイスが入っているものがあります。) 8 個以上の実デバイスを接続しない方が良いというのは、線路長が長くなる事により伝送線路の影響が大きくなる事が大きな要因ですし、いままでの現場の経験からも言える事です。多くのデバイスを取り扱う時の対処方法は、チェーンを分割していくつかの個別のチェーンに分けます。そして、それぞれに JTAG ヘッダーとバッファを設けます。もし、どうしてもヘッダーを複数設けられない時は、デバックができる様という目的で、デバイスの個数をへらせる様なジャンパーを設けておいて下さい。そして、伝送線の配線については、細心の注意を払って下さい。

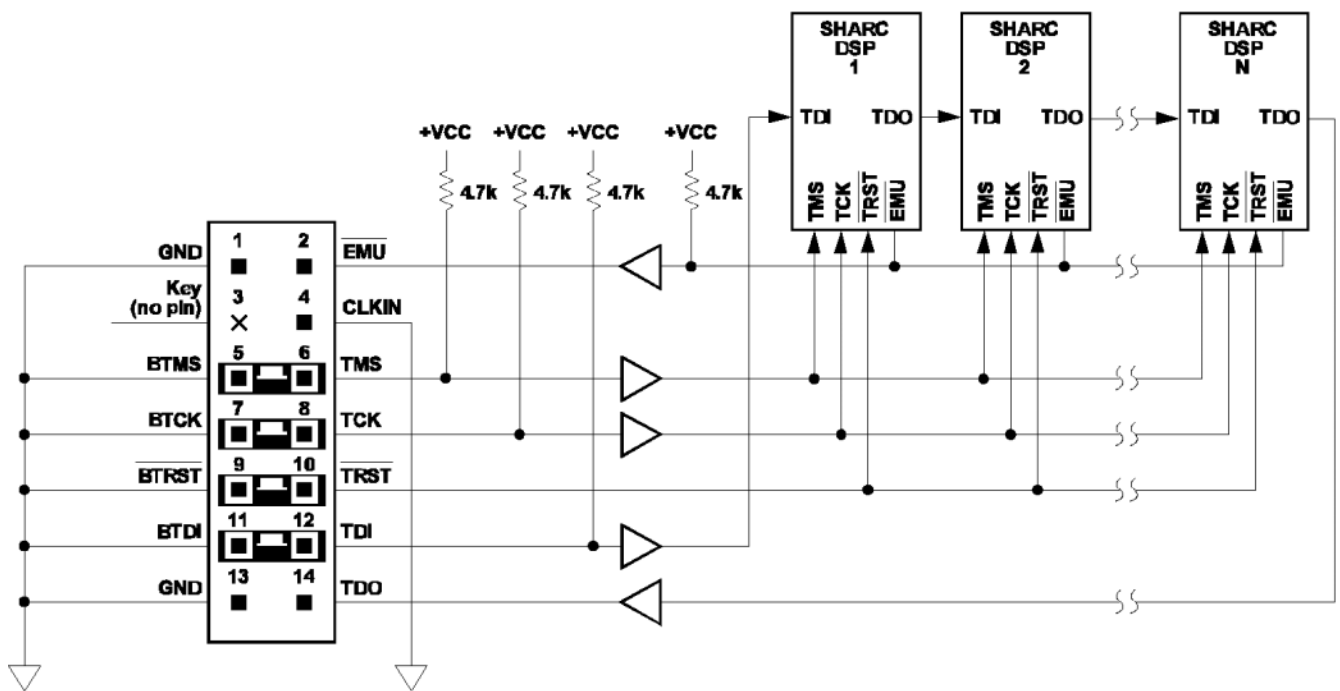


図 4 . マルチ DSP の JTAG ヘッダーへの接続

### 配置に関する必要事項

(TCK、TMS、TDI、TDO、EMU ~、TRST ~ の)すべての JTAG 信号はできるだけ短く配線するようにして下さい。これらの信号のパターン配線を行う時に細心の注意を払っていただきたいということです。インピーダンスマッチングの事を良く考慮して下さい。(ポートによって異なりますが通常 50~75 となります。)グラウンド層を十分に強くとり、クロックの様なノイズを発生しやすい信号からはなるべく遠ざけて、クロストークやインピーダンス不整合を最小にする様にして下さい。これらの配線はできるだけ短く、簡潔にし、また(TMS、TCK、TRST ~、EMU ~)の信号の束はできるだけ等しい長さにして下さい。

**補足:** JTAG TAP の信頼性は TMS のラインと TCK のクロック線の状態にかかっています。これらの信号線に(グラウンドレベルの浮きやクロストークなどからくる)グリッチがあったとしたら、エミュレーションは信頼できなくなります。エミュレーションの際に問題がおきたことがある方は、これらの信号

を高速のオシロスコープで観測してみてください。これらのラインの信号は乱れない事が必要ですし、特に終端回路が必要かも知れません。もし、JTAG ヘッダーをバッファリングしている時は(ほとんどの方はそうしているでしょうが)ターゲットボードで(直列あるいは並列、R/C などの)適切な終端をするべきです。

### 電源の立ち上げ順序

ターゲットとエミュレーションシステムの電源立ち上げ順は以下の様です。

まず、エミュレータの電源を入れて下さい。次にターゲットボードを入れて下さい。こうする事で JTAG 信号が DSP が実行できるための正常な状態となります。電源が立ち上がると、エミュレータは TRST ~ 信号を LOW にします。エミュレーション用ソフトが制御しはじめるまでの間 DSP TAP をテスト回路のリセット状態に保持します。電源を落とす順序はその逆となります。まずターゲットボードの電源を落とし、次にエミュレータを落とします。

## 結論

ここで申し上げたことの要点は次の様になります。Analog Devices DSP エミュレーションインターフェイスの設計は簡単な仕事です。エミュレーションインターフェイスはほんの少しの労力で動かせる様になります。アプリケーションや、ハードウェアの開発やテストは、デバッグ用ポートをデバッグする事なしに始められます。

## 参考

IEEE 1149.1 JTAG スタンドアードはIEEE コンピュータソサイエティのテスト標準化委員会によって提供され、IEEE によって出版されています。現時点での最新版は1990年版 IEEE Std 1149.1 と1993年版 IEEE Std 1149.1a です。コピーを注文する時は、US とカナダは1 800 678 4333 の IEEE それ以外は1 908 981 1393 に電話して下さい。

<http://standards.ieee.org/>の IEEE スタンドアードのウェブサイトを開いても結構です。

Copyright 1999 Analog Devices, Inc

## 付録

この付録の内容は、White Mountain DSP によって設計された種々のエミュレータポッドの設計手法です。エミュレータポッドは14pin の JTAG ヘッダーで、DSP ターゲットに直接つながる部分です。新しいエミュレータの設計に関する詳細がないかどうか White Mountain DSP のウェブサイトをチェックして下さい。

### White Mountain DSP JTAG Pod コネクタ

(Mountain ICE, Summit-ICE, Trek-ICE, Mountain-ICE/WS, Apex-ICE)

図 A1 は 14 ピンのターゲットにつながる側の JTAG ポッドコネクタの寸法図です。図 A2 はターゲットボードヘッダのための余白領域です。余白領域がないとターゲットボードのヘッダーにポッドのコネクタがうまくささらなくなります。ボード上のこの領域には(チップ部品、抵抗、コンデンサ、その他の)部品は置かないで下さい。寸法の基準は0.64mm の角型ピンの中心です。

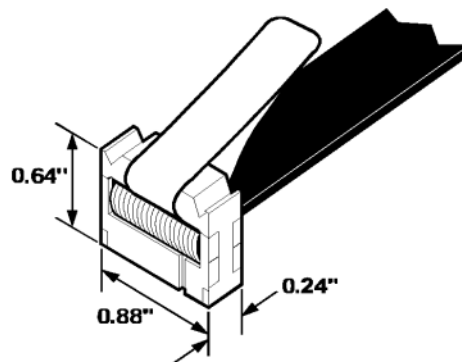


図 A1 . JTAG ポッドコネクタの寸法図

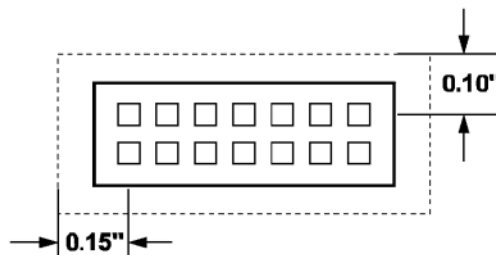


図 A2 . JTAG ポッドコネクタの余白領域

### White Mountain DSP 3.3V ポッドロジック

(Mountain ICE, Summit-ICE, Trek-ICE, Mountain-ICE/WS, Apex-ICE)

図 A3 に White Mountain DSP 3.3V エミュレータインターフェイスの部分を示します。この図はエミュレータポッドのドライバ回路を説明しています。図示のとおり TMS と TCK、TRST $\sim$ 、TDI は 10 の直列抵抗を通して駆動されています。TDO と CLKIN には 191/120 の並列抵抗が接続できます。EMU $\sim$  は 4.7k の抵抗でプルアップされています。74LVT244 という IC が 3.3V をドライブしています。最大駆動電流は  $\pm 32\text{mA}$  です。

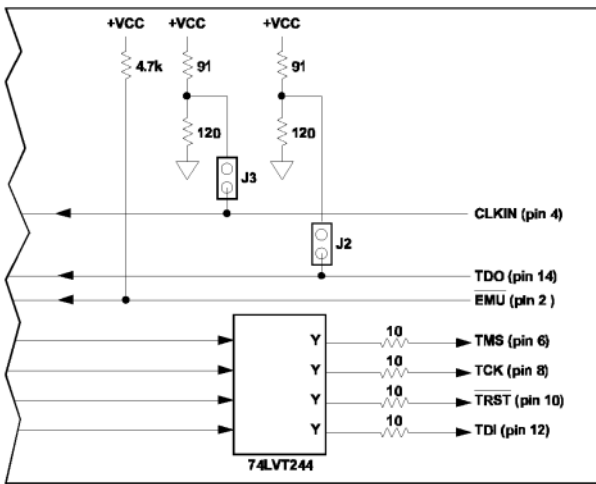


図 A3. 3.3V JTAG ポッドドライバロジック

設計される方は、必要ならばターゲットボード上の TMS、TCK、TRST $\sim$  のラインに終端として並列抵抗をつけても良いでしょう。ドライブ電流は ( $\pm 32\text{mA}$ ) ありますから駆動能力は充分です。TDO ラインの終端抵抗を使用するには (CLKIN は使用できませんが) ターゲットボードの JTAG ヘッダーにバッファをつけておかなければなりません。DSP で直接 TDO をドライブしようとしても、ドライブ能力が足りません。適切なバッファをつけた上で、並列抵抗を接続するには単に J2 にジャンパーをとりつけるだけです。

### White Mountain DSP 2.5V Pod ロジック

(Mountain ICE Summit-ICE, Trek-ICE, Mountain-ICE/WS)

図 A4 に White Mountain DSP 2.5V エミュレータインターフェイスの部分を示します。この図はエミュレータポッドのドライバ回路を説明しています。図示のとおり TMS と TCK、TRST $\sim$ 、TDI は 10 の直列抵抗を通して駆動されています。TDO と CLKIN は 191/120 の並列抵抗が接続できます。EMU $\sim$  は 4.7k の抵抗でプルアップされています。CLKIN 信号は使用されていませんし、ポッド内で配線されてもいません。74ALVT16244 という IC が 2.5V の信号をドライブします。最大駆動電流は  $\pm 8\text{mA}$  です。

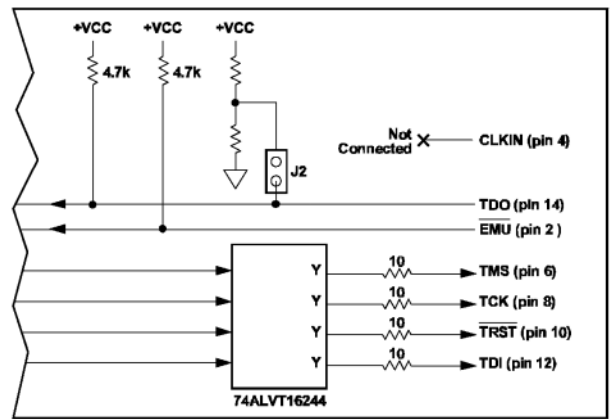


図 A4 2.5V JTAG ポッドドライバロジック

設計される方は、必要ならばターゲットボード上の TMS と TCK、TRST $\sim$ 、TDI のラインに並列抵抗をつけても良いでしょう。ただし、ドライバの最大駆動電流の ( $\pm 8\text{mA}$ ) を超えない様にして下さい。TDO ラインの終端抵抗を使用するには (CLKIN は使用できませんが) ターゲットボードの JTAG ヘッダーにバッファをつけておかなければなりません。DSP で直接 TDO をドライブしようとしても、(通常 50-75 です) ドライブ能力が足りません。適切なバッファをつけた上で、並列抵抗を接続するには単に J2 にジャンパーをとりつけるだけです。

以上です。